

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82957

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 S
21/20			21/20	
21/28	3 0 1		21/28	3 0 1 T
				3 0 1 D

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平7-237438

(22) 出願日 平成7年(1995)9月14日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 三谷 祐一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 水島 一郎

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

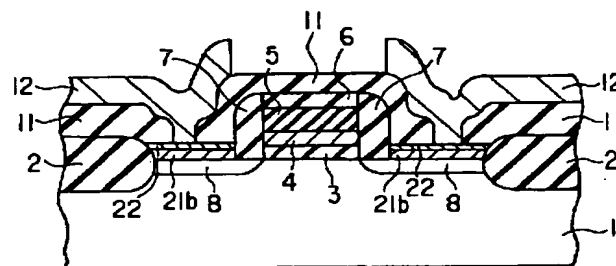
(74) 代理人 弁理士 鈴江 武彦

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【課題】 本発明は、拡散層領域にのみアモルファスシリコンを選択的に堆積し、ファセットによる膜厚の減少を阻止して拡散層の厚みを実効的に増加させ、もって、トランジスタ特性の信頼性の向上を図る。

【解決手段】 ゲート部、ソース領域及びドレイン領域を形成し、形成されたソース領域及びドレイン領域上に夫々アモルファスシリコンを選択的に堆積させる半導体装置の製造方法。



1

## 【特許請求の範囲】

【請求項 1】 半導体基板の一主面上に MOS 構造を有する半導体装置の製造方法において、ゲート部、ソース領域、ドレイン領域を形成する工程と、

前記形成されたソース領域及びドレイン領域上に夫々アモルファスシリコンを選択的に堆積させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記アモルファスシリコンは、III 族又は V 族元素を含有していることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記アモルファスシリコンを単結晶化する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に係り、特に、エレベータードソース／ドレイン構造を有する MOS 型の半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体装置は、その高集積化に伴って素子の微細化が進むと共に、その一方で素子の微細化に伴う問題が発生している。例えば、MOS 型トランジスタでは、ゲート長を短くした場合、しきい値電圧が低下するなどの短チャネル効果が深刻な問題となっている。

【0003】短チャネル効果は、不純物拡散層を十分に浅くすると、緩和される。しかしながら、不純物拡散層を薄くすると、拡散層抵抗を増加させてソース・ドレイン間の寄生抵抗を増大させてしまう。このため、MOS 型トランジスタでは、この種の寄生抵抗の低減が切望されている。

【0004】ここで、寄生抵抗の低減を図る観点から低い電気抵抗を得る技術として、ソース・ドレイン領域上にシリサイドを形成する方法が行なわれている。

【0005】一般に、ソース・ドレイン領域上にシリサイドを形成するには、シリコン基板に金属をスパッタして加熱し、この金属と半導体とを反応させる方法が用いられている。この方法では、(1) 拡散層が金属と反応する分だけ消費されること、(2) 形成されたシリサイドとシリコンとの界面に凹凸があること、(3) シリサイド形成時にその反応に伴う点欠陥が基板内部に拡散して接合特性を劣化させること等の (1) ~ (3) の理由から拡散層の厚みがある程度必要となる。

【0006】しかしながら、拡散層の厚みを増加させると、従来の拡散層がイオン注入のみで形成されることから拡散層深さを増加させてしまい、素子の微細化に相反してしまう問題がある。

【0007】この問題を解決するために、エレベータ

2

ドソース／ドレインと呼ばれる構造が提案されている。エレベータードソース／ドレインは、イオン注入を用いてソース・ドレインを形成した後、このソース・ドレイン上に単結晶シリコン層を選択エピタキシャル成長させてソース・ドレイン領域の高さを持ち上げている。このため、拡散層深さを増加させることなく、低抵抗化のためのシリサイドが形成可能となっている。

【0008】図 7 及び図 8 はこのエレベータードソース／ドレイン構造の適用された MOS 型トランジスタの製造方法を示す工程断面図である。図 7 (a) に示すように、n 型シリコン基板 1 の表面に選択酸化法により素子分離絶縁膜 2 を形成する。次いで、n 型シリコン基板 1 上に熱酸化によりゲート酸化膜 3 を形成する。ゲート酸化膜 3 上にはゲート電極として、不純物ドーパド多結晶シリコン膜 4、タングステンシリサイド膜 5 を順次形成する。しかる後、全面に LPCVD 法によりシリコン酸化膜 6 を形成し、これら積層膜を反応性イオンエッチング法によりエッチングしてゲート部を形成する。

【0009】次に、図 7 (b) に示すように、ゲート部の側壁に CVD 法及び異方性ドライエッチングを用いてシリコン窒化膜からなる側壁ゲート絶縁膜 7 を形成する。

【0010】次に、図 7 (c) に示すように、ゲート部をマスクとして  $\text{BF}_3$  + イオンを打込み、しかる後、熱処理によりボロンを活性化させてソース・ドレイン領域となる拡散層 8 を形成する。

【0011】次に、図 8 (d) に示すように、シリコン基板 1 表面に選択エピタキシャル成長により単結晶シリコン層 9 を形成する。単結晶シリコン層 9 には、拡散層 8 と同様に  $\text{BF}_3$  + イオンが注入され、熱処理される。しかる後、全面にスパッタ法により、チタン薄膜、チタンナイトライド薄膜が順次堆積される。

【0012】次に、図 8 (e) に示すように、窒素雰囲気中の熱処理によりチタン薄膜をシリコン基板と反応させ、ソース・ドレイン領域上のみチタンシリサイド膜 10 を形成する。しかる後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液により、チタンナイトライド膜及び絶縁膜上の未反応のチタン薄膜を選択的に除去する。

【0013】次に、図 8 (f) に示すように、全面に CVD 法によりシリコン酸化膜 11 を堆積し、異方性ドライエッチングによりシリコン酸化膜 11 にコンタクトホールを開口する。しかる後、シリコン及び銅を微量に含むアルミニウム膜を形成し、このアルミニウム膜をパターニングしてソース・ドレイン電極 12 を形成する。次いで、水素を含む窒素雰囲気中で熱処理し、完成する。

## 【0014】

【発明が解決しようとする課題】しかしながら以上のようなエレベータードソース／ドレイン構造の MOS 型トランジスタでは、シリコン膜を持ち上げる際に、選択エ

3

ピタキシャル成長により単結晶シリコン層9を形成するので、図8(d)に示すように、単結晶シリコン層9の端部にファセットが形成される。この場合、ファセット部は実効的に膜厚が薄くなるため、接合特性の劣化を引き起こす。

【0015】また、エピタキシャル成長で形成されるシリコン膜がノンドープである場合、これを低抵抗化するために、拡散層8と同じタイプの不純物をイオン注入する。しかしながら、ファセット部の膜厚が薄いので、図9に示すように、ファセット部の下の拡散層8では不純物が深くまで拡散されてしまい、前述した短チャネル効果が現れてトランジスタ特性の信頼性を低下させる問題がある。

【0016】本発明は上記実情を考慮してなされたもので、ファセットによる膜厚の減少を阻止して拡散層の厚みを実効的に増加させ、もって、トランジスタ特性の信頼性を向上し得る半導体装置の製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を達成するために本発明は、半導体基板の一主面上にMOS構造を有する半導体装置の製造方法において、ゲート、ソース、ドレインを形成する工程と、前記形成されたソース領域及びドレイン領域上に夫々アモルファスシリコンを選択的に堆積させる工程とを含んでいる半導体装置の製造方法を提供する。

【0018】また、前記アモルファスシリコンとしてはIII族又はV族元素を含有していることが望ましい。

【0019】また、上記アモルファスシリコンを単結晶化してもよい。

【0020】従って、請求項1に対応する発明は以上のような手段を講じたことにより、ゲート部、ソース領域及びドレイン領域を形成し、形成されたソース領域及びドレイン領域上に夫々アモルファスシリコンを選択的に堆積させるので、拡散層領域にのみアモルファスシリコンを選択的に堆積し、ファセットによる膜厚の減少を阻止して拡散層の厚みを実効的に増加させ、もって、トランジスタ特性の信頼性を向上させることができる。

【0021】また、請求項2に対応する発明は、アモルファスシリコンがIII族又はV族元素を含有しているので、請求項1に対応する作用と同様の作用に加え、pチャネル型でもnチャネル型でも対応でき、優れた汎用性を奏することができる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら説明する。

【0023】図1は本発明の実施の形態に係るエレベータイドソース／ドレイン構造の適用されたMOS型トランジスタの構成を示す断面図であり、図8(f)と同一部分には同一符号を付してその詳しい説明は省略し、こ

4

こでは異なる部分についてのみ述べる。

【0024】すなわち、本実施の形態に係るMOS型トランジスタは、ファセットに伴う膜厚の減少の阻止を図るものであり、具体的には図1に示すように、ファセットを有する単結晶シリコン層9に代えて、アモルファスシリコン膜を平坦に堆積し、熱処理により、単結晶シリコン膜21bとさせた構造となっている。なお、アモルファスシリコン膜は、非晶質であるためにファセットが形成されない。

10 【0025】次に、このようなMOS型トランジスタの製造方法を図2及び図3の工程断面図を用いて説明する。

【0026】いま、図2(a)に示すように、例えば、面方位(100)で比抵抗4~6Ωcmのn型シリコン基板1の表面に選択酸化法により0.6μm厚の素子分離絶縁膜2を形成する。次いで、n型シリコン基板1上に熱酸化により10nm厚のゲート酸化膜3を形成する。ゲート酸化膜3上にはゲート電極として、100nm厚の不純物ドーパ多結晶シリコン膜4、タングステンシリサイド膜5を順次形成する。しかる後、全面にLP-CVD法によりシリコン酸化膜6を形成し、これら積層膜を反応性イオンエッチング法によりエッチングしてゲート部を形成する。

【0027】次に、図2(b)に示すように、ゲート部の側壁に厚さ100nm程度のシリコン窒化膜からなる側壁ゲート絶縁膜7を形成する。この側壁ゲート絶縁膜7は、例えば、全面に厚さ50nmのシリコン窒化膜をCVD法により堆積した後、異方性ドライエッチングにより全面エッチングすることにより得られる。

30 【0028】次に、図2(c)に示すように、ゲート部をマスクとしてBF<sub>2</sub><sup>+</sup>イオンを打込む。注入されたBF<sub>2</sub><sup>+</sup>イオンはシリコン基板内部で加速エネルギーに依存するピーク深さを中心にして分布する。しかる後、例えば、900℃、30秒間の熱処理によりボロンを活性化させてソース・ドレイン領域となる拡散層8を形成する。

【0029】次に、希フッ酸溶液などでシリコン表面の自然酸化膜を除去し、基板を減圧反応装置に入れ、例えば、四フッ化炭素(CF<sub>4</sub>)ガスのマイクロ放電により、生成された活性種を基板表面に供給する。これにより、絶縁膜表面にフッ素を多量に残留させる。この後、基板を真空中あるいは非酸化性雰囲気中のシリコン成膜工程に移行する。

【0030】シリコン成膜工程においては、例えば、500℃でジシラン(Si<sub>2</sub>H<sub>6</sub>)を100sccm流す。このジシランはシリコン表面でのみ熱分解され、図3

(d)に示すように、選択的にアモルファスシリコン膜21aが堆積する。

50 【0031】ここで、アモルファスシリコン膜21aには、前述した拡散層8と同様にBF<sub>2</sub><sup>+</sup>イオンが注入さ

5

れ、600℃、2時間の熱処理が施される。これにより、アモルファスシリコン膜21bは、固相成長し、単結晶シリコン膜21bとなる。しかる後、全面にスパッタ法により、25nm厚のチタン薄膜、50nm厚のチタンナイトライド薄膜が順次堆積される。

【0032】次に、図3(e)に示すように、窒素雰囲気中の700℃、1分間の熱処理によりチタン薄膜をシリコン基板と反応させ、ソース・ドレイン領域上のみチタンシリサイド膜22を形成する。しかる後、例えばフッ化水素酸の水溶液、硫酸と過酸化水素の混合溶液により、チタンナイトライド膜及び絶縁膜上の未反応のチタン薄膜を選択的に除去する。

【0033】次に、図3(f)に示すように、全面にCVD法によりシリコン酸化膜11を堆積し、異方性ドライエッチングによりシリコン酸化膜11にコンタクトホールを開口する。しかる後、シリコン及び銅を夫々例えば0.5%ずつ含む800nm厚のアルミニウム膜を形成し、このアルミニウム膜をパターニングしてソース・ドレイン電極12を形成する。次いで、水素を10%含む窒素雰囲気中で450℃、15分間の熱処理を施す。これにより、MOS型トランジスタの製造工程が完了する。

【0034】次に、以上のように製造されたMOS型トランジスタの特性について述べる。図4はMOS型トランジスタのゲート電圧-ドレイン電流の関係を本実施の形態と従来技術とで比較して示す図である。図示するように、従来技術ではゲート電圧を印加しない場合であっても高いドレイン電流が流れてしまう。一方、本実施の形態では、約0.2V以下のゲート電圧の場合、ドレイン電流が測定限界以下となっており、リーク電流がないことがわかる。

【0035】これは、従来技術の場合、単結晶シリコン層9の端部がファセットにより実効的に薄くなり、チタンとシリコンを反応させてシリサイドを形成すると、図9に示すように、薄い端部から基板中にチタンが拡散し、キャリアの生成・再結合中心が形成され、局所的なリークパスとなるためと考えられる。

【0036】一方、本実施の形態の場合、ファセットをもたずに平坦に堆積させるアモルファスシリコン膜を固相成長させ、単結晶シリコン膜21bを得ているため、図5に示すように、チタン22が基板1中に入り込まず、ソース・ドレイン層8とシリサイドの界面を接合界面より離すことができ、拡散層が浅い不純物分布に形成されるからである。

【0037】また、図6はMOS型トランジスタにおけるしきい値電圧のゲート長依存性を本実施の形態と従来技術とで比較して示す図である。図示するように、従来技術ではゲート長が短くなるに従い、しきい値電圧が低下し、短チャネル効果が発生してしまう。一方、本実施の形態では、ゲート長が短くなっても、しきい値電圧が

6

一定であり、短チャネル効果を阻止できたことがわかる。

【0038】上述したように本実施の形態によれば、ゲート部と、ソース領域及びドレイン領域からなる拡散層8とを形成し、形成されたソース領域及びドレイン領域上に夫々アモルファスシリコン膜21aを選択的に堆積させるので、拡散層8領域にのみアモルファスシリコンを選択的に堆積し、それを固相成長させて単結晶シリコン膜21bを形成しているの、ファセットによる膜厚の減少を阻止して拡散層の厚みを実効的に増加させ、もって、トランジスタ特性の信頼性を向上させることができる。

【0039】また、本実施の形態に係るアモルファスシリコン膜21aがIII族元素を含有しているの、pチャネルMOS型トランジスタに対応することができた。なお、本実施の形態とは異なるが、アモルファスシリコン膜にV族元素を含有させることにより、nチャネルMOS型トランジスタにも対応できるので、本発明は優れた汎用性をもっている。

【0040】なお、上記実施の形態では、シリサイドを形成するための金属としてチタンを用いた場合について説明したが、これに限らず、例えば、ニッケル、コバルト、プラチナ、バナジウム、パラジウムなどのチタン以外の金属を用いてシリサイドを形成しても、本発明を同様に実施して同様の効果を得ることができる。なお、このとき、金属の種類、膜厚によりシリサイド反応で消費されるシリコン層の量には差があるため、持ち上げるシリコン薄膜の膜厚は消費される層厚以上にする必要がある。

【0041】また、上記実施の形態では、ジシランを流してアモルファスシリコン膜を堆積した後にBF<sub>2</sub><sup>+</sup>のイオン注入により低抵抗化を図る場合を説明したが、これに限らず、ジシランを流しているときにドーピングガスとして例えばジボラン(B<sub>2</sub>H<sub>6</sub>)を同時に2sccm流してボロン添加アモルファスシリコン膜を堆積する製造工程としても、本発明を同様に実施して同様の効果を得ることができ、さらに、アモルファスシリコン膜へのBF<sub>2</sub><sup>+</sup>のイオン注入を省略することができる。なお、このボロン添加アモルファスシリコン膜は、300℃といったより低温で堆積でき、結晶化したときに1.0mΩ・cmの低抵抗なボロン添加シリコン層となる。

【0042】また、上記実施の形態では、通常のシリコン基板1を用いる場合を説明したが、これに限らず、シリコン基板1に代えて、SOI基板又はSIMOX基板を用いた構成としても、本発明を同様に実施して同様の効果を得ることができる。

【0043】さらに、本実施の形態では、アモルファスシリコン膜21を堆積するための前処理として、CF<sub>4</sub>ガスのマイクロ放電によりフッ素ラジカルを生成した場合を説明したが、これに限らず、例えばF<sub>2</sub>・Cl<sub>2</sub>、

7

$\text{SF}_6$ 、 $\text{HF}$ 、 $\text{ClF}_3$  等の他のハロゲン系材料を用いるようにしても、本発明を同様に実施して同様の効果を得ることができる。

【0044】また、上記実施の形態では、アモルファスシリコン膜21を堆積するために、ジシランガスを用いた場合を説明したが、これに限らず、700℃以下で分解反応を生じてシリコン層を形成可能なガスであればガス種に限定はなく、例えば、シラン( $\text{SiH}_4$ )やジクロルシラン( $\text{SiH}_2\text{Cl}_2$ )をはじめ、 $\text{SiCl}_4$ 、 $\text{SiF}_4$ 、 $\text{SiH}_4\text{Cl}_4$ 、 $\text{SiH}_2\text{F}_2$ 、 $\text{SiH}_2\text{Cl}_4$ 、 $\text{Si}_2\text{Cl}_6$ 、 $\text{SiH}_4\text{F}_2$ 、 $\text{SiH}_2\text{F}_4$ 、 $\text{Si}_2\text{F}_6$ のいずれかを用いてアモルファスシリコン膜を堆積するようにしても、本発明を同様に実施して同様の効果を得ることができる。なお、イオン注入を省略する観点から不純物添加シリコン層を堆積する場合は、これらのガスにジボラン以外に三塩化硼素( $\text{BCl}_3$ )や三フッ化硼素( $\text{BF}_3$ )などをドーピングガスとして混合させればよい。また、nチャネルMOS型トランジスタに対しては、ホスフィン( $\text{PH}_3$ )やアルシン( $\text{AsH}_3$ )あるいはリンや砒素を含むハロゲン化合物をドーピングガスとして混合させればよい。

【0045】その他、本発明はその要旨を逸脱しない範囲で種々変形して実施できる。

#### 【0046】

【発明の効果】以上説明したように請求項1の発明によれば、ゲート部、ソース領域及びドレイン領域を形成し、形成されたソース領域及びドレイン領域上に夫々アモルファスシリコンを選択的に堆積させるので、拡散層領域にのみアモルファスシリコンを選択的に堆積し、ファセットによる膜厚の減少を阻止して拡散層の厚みを実効的に増加させ、もって、トランジスタ特性の信頼性を向上できる半導体装置の製造方法を提供できる。

【0047】また、請求項2の発明によれば、アモルファスシリコンがIII族又はV族元素を含有しているので、請求項1の効果に加え、pチャネル型でもnチャネ

8

\*ル型でも対応でき、優れた汎用性を奏することができる半導体装置の製造方法を提供できる。

【0048】さらに、請求項3の発明によれば、アモルファスシリコンを単結晶化する工程を含んでいるので、請求項1と同様の効果を奏することができる半導体装置の製造方法を提供できる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態に係るエレベータイドソース／ドレイン構造の適用されたMOS型トランジスタの構成を示す断面図、

【図2】同実施の形態におけるMOS型トランジスタの製造方法を示す工程断面図、

【図3】同実施の形態におけるMOS型トランジスタの製造方法を示す工程断面図、

【図4】同実施の形態におけるゲート電圧－ドレイン電流の関係を示す比較図、

【図5】同実施の形態における不純物分布を示す断面図、

【図6】同実施の形態におけるしきい値電圧のゲート長依存性を示す比較図、

【図7】従来のエレベータイドソース／ドレイン構造の適用されたMOS型トランジスタの製造方法を示す工程断面図、

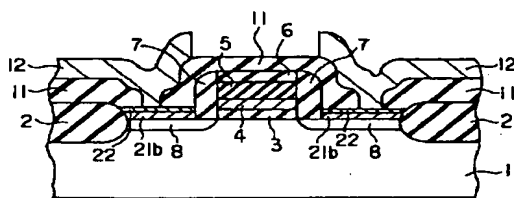
【図8】従来のエレベータイドソース／ドレイン構造の適用されたMOS型トランジスタの製造方法を示す工程断面図、

【図9】従来の形態における不純物分布を示す断面図。

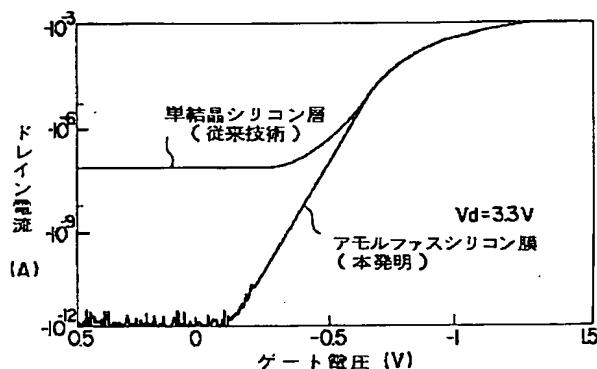
#### 【符号の説明】

1…n型シリコン基板、2…素子分離絶縁膜、3…ゲート酸化膜、4…不純物ドーパ多結晶シリコン膜、5…タングステンシリサイド膜、6…シリコン酸化膜、7…側壁ゲート絶縁膜、8…拡散層、11…シリコン酸化膜、12…ソース・ドレイン電極、21a…アモルファスシリコン膜、21b…単結晶シリコン膜、22…チタンシリサイド膜。

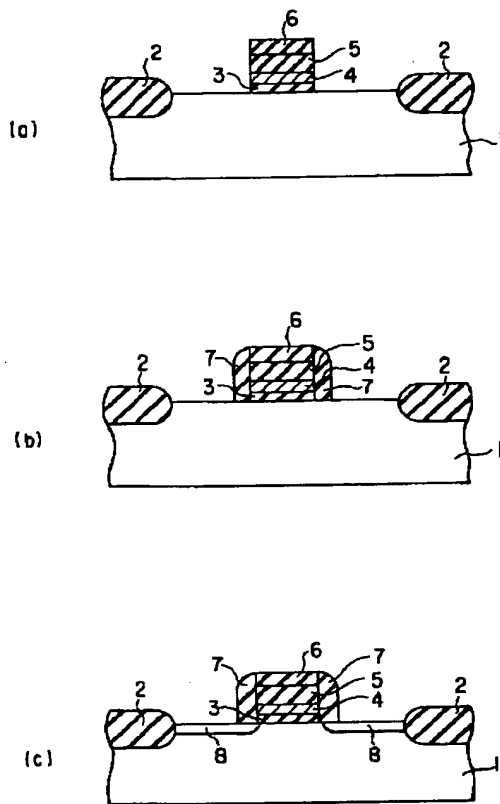
【図1】



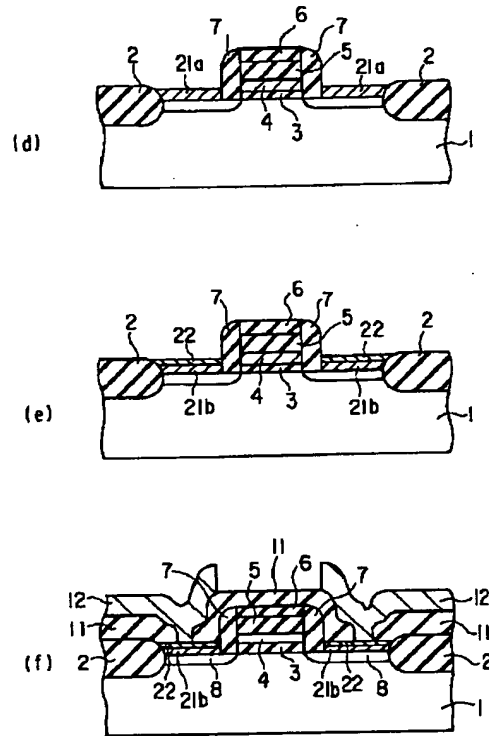
【図4】



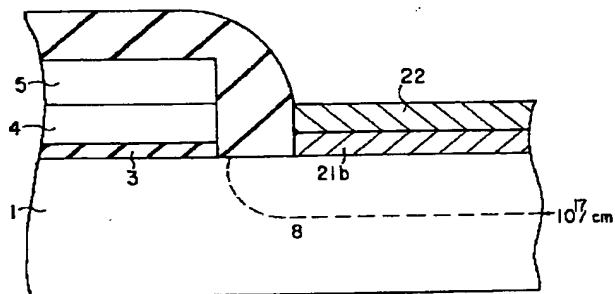
【図 2】



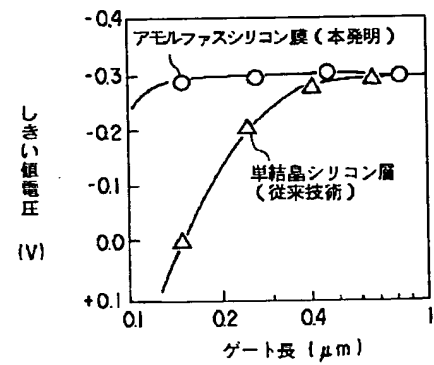
【図 3】



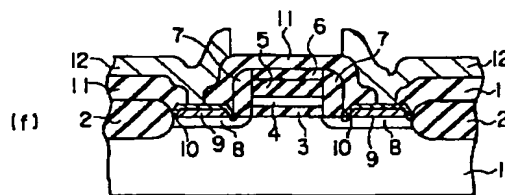
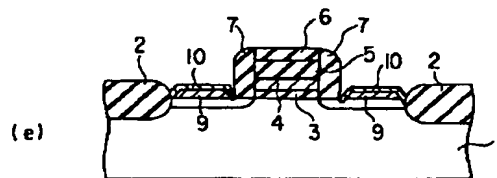
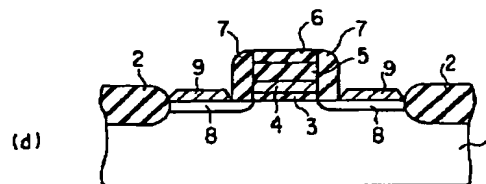
【図 5】



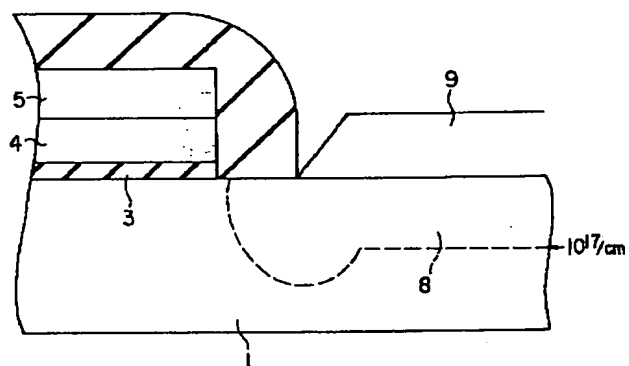
【図 6】



【图 8】



【图 9】



**THIS PAGE BLANK (USPTO)**